

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) DRIVING METHOD OF LIQUID CRYSTAL ELEMENT

(11) 61-4021 (A) (43) 9.1.1986 (19) JP

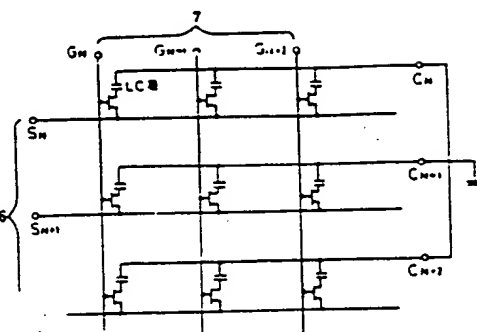
(21) Appl. No. 59-124511 (22) 19.6.1984

(71) CANON K.K. (72) SHINJIROU OKADA(1)

(51) Int. Cl. G02F1/133, G09F9/35, G09G3/36

PURPOSE: To display an image plane consisting of many picture elements at a high speed by applying a scanning signal and a display signal to the drain or source and gate of an FET corresponding to a picture element where ferroelectric liquid crystal is charged respectively and performing the 1st writing operation, and applying a display signal for the 2nd writing.

CONSTITUTION: Ferroelectric liquid crystal which has a bistable state to an electric field is charged between picture element electrodes which have FETs corresponding to respective picture elements and a counter electrode, thus constituting the liquid-crystal element. Drains or sources of the FETs which constitute an active matrix are connected to scanning electrodes 6, gates are connected to display electrodes 7, and the counter electrode is a common electrode. A scanning signal is applied to an electrode 6 and a display signal is applied to a display electrode 7 to control the array of the liquid crystal, writing a display state based upon the 1st orientation state. Then, a specific display signal is applied to an electrode 7 to write the 2nd orientation state, thus driving the liquid crystal on a time-division basis. Consequently, a display of an image plate consisting of many picture elements is made at a high speed.



353/59
359/59

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-4021

⑬ Int. Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和61年(1986)1月9日
G 02 F 1/133	1 2 9 1 1 8	7348-2H D-8205-2H 6615-5C 7436-5C	
G 09 F 9/35 G 09 G 3/36			審査請求 未請求 発明の数 1 (全 11 頁)

⑮ 発明の名称 液晶素子の駆動法

⑯ 特 願 昭59-124511

⑰ 出 願 昭59(1984)6月19日

⑱ 発 明 者	岡 田 伸 二 郎	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑲ 発 明 者	田 村 泰 之	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑳ 出 願 人	キャノン株式会社	東京都大田区下丸子3丁目30番2号	
㉑ 代 理 人	弁理士 豊田 善雄		

明 細 書

1. 発明の名称

液晶素子の駆動法

2. 特許請求の範囲

(1) FET のゲート以外の端子である第一端子と接続した画素電極を該FET に対応して複数設けた第一基板と該画素電極に対向する対向電極を設けた第二基板を有し、前記画素電極と対向電極の間に電界に対して双安定状態を有する強誘電性液晶を挟持した構造の液晶素子の駆動法であって、前記FET のゲートがゲートオン状態となる信号印加と同期させてFET のゲート以外の端子である第一端子と第二端子の間で電界を形成することによって、第一の配向状態に強誘電性液晶の配列を制御する第一位相と、前記第一端子と第二端子の間で形成した電界と逆極性の電界を第一端子と第二端子の間で形成することによって、第二の配向状態に強誘電性液晶の配列を制御する第二位相を有し、前記対向電極を共通電極にして各画素に対応

しているFET 端子のうち、ドレインもしくはソースに走査信号、ゲートに表示信号を印加することによって第一の配向状態に基づく表示状態を打ち込み、次に所定の表示信号を印加して第二の配向状態に基づく表示状態の書き込みを行う時分割駆動であることを特徴とする液晶素子の駆動法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶を用いた光シャッターアレイ、画像表示装置等の駆動方法に関するものであり、さらに詳しくは双安定性液晶、特に強誘電性液晶をアクティブマトリックス構成により駆動する方法に関するものである。

〔従来の技術〕

従来より、走査電極群と信号電極群をマトリクス状に構成し、その電極間に液晶化合物を充満し、多数の画素を形成して画素或いは情報の表示を行う液晶表示素子は、よく知られている。この表示素子の駆動法としては、走査電極群に、順次、周期的にアドレス信号を選択印加し、信号電

極界には所定の情報信号をアドレス信号と同期させて並列的に選択印加する時分割駆動が採用されているが、この表示素子及びその駆動法は、以下に述べる如き致命的とも言える大きな欠点を有していた。

即ち、画素密度を高く、或いは画面を大きくするのが難しいことである。従来の液晶の中で応答速度が比較的高く、しかも消費電力が小さいことから、表示素子として実用に供されているのは殆どが、例えば、M. Schadt と W. Helfrich 著、"Applied Physics Letters", Vol. 18, No. 4 (1971, 2, 15), P. 127~128 の "Voltage-Dependent Optical Activity of a Twisted Nematic Liquid Crystal" に示された TN (twisted nematic) 型の液晶を用いたものであり、この型の液晶は、無電界状態で正の誘電異方性をもつ、ネマチック液晶の分子が、液晶層厚方向で傾いた構造（ヘリカル構造）を形成し、両電極間でこの液晶の分子が互いに並行に配列した構造を形成している。一方、電界印加状態では、正

の誘電異方性をもつネマチック液晶が電界方向に配列し、この結果光調変調を起すことができる。この型の液晶を用いてマトリクス電極構造によって表示素子を構成した場合、走査電極と信号電極が共に選択される領域（選択点）には、液晶分子を電極面に垂直に配列させるに要する閾値以上の電圧が印加され、走査電極と信号電極が共に選択されない領域（非選択点）には電圧は印加されず、したがって液晶分子は電極面に対して並行な安定配列を保っている。このような液晶セルの上下に、互いにクロスニコル関係にある直線偏光子を配置することにより、選択点では光が通過せず、非選択点では光が通過するため、画像素子とすることが可能となる。然し乍ら、マトリクス電極構造を構成した場合には、走査電極が選択され、信号電極が選択されない領域或いは、走査電極が選択されず、信号電極が選択される領域（所謂“半選択点”）にも有限の電界がかかってしまう。選択点にかかる電圧と、半選択点にかかる電圧の差が充分に大きく、液晶分子を電界に垂直に

3

配列させるに要する電圧閾値がこの中間の電圧値に設定されるならば、表示素子は正常に動作するわけである。しかし、この方式において、走査線数（ N ）を増やして行った場合、画面全体（1フレーム）を走査する間に一つの選択点に有効な電界がかかっている時間（duty比）は、 $1/N$ の割合で減少してしまう。このために、くり返し走査を行った場合の選択点と非選択点にかかる実効値としての電圧差は、走査線数が増えれば増える程小さくなり、結果的には画像コントラストの低下やクロストークが避け難い欠点となっている。このような場合は、双安定状態を有さない液晶（電極面に対し、液晶分子が水平に配向しているのが安定状態であり、電界が有効に印加されている間のみ垂直に配向する）を、時間的蓄積効果を利用して駆動する（即ち、繰り返し走査する）ときに生じる本質的には避け難い問題点である。この点を改良するために、電圧平均化法、2周波駆動法や多相マトリクス法等が既に提案されているが、いずれの方法でも不充分であり、表示素子の大幅面

5

4

化や高密度化は、走査線数が充分に増やせないことによって頭打ちになっているのが現状である。

【発明が解決しようとする問題点】

本発明の目的は、前述したような従来の液晶表示素子における問題点を悉く解決した新規な双安定性液晶、特に強誘電性液晶素子の駆動法を提供することにある。

即ち、本発明は電圧応答速度が早く、状態記憶性を有する強誘電性液晶をアクティブマトリックスにより2方向の電界を印加して明、暗の2つの状態に駆動することにより、画素数の多い大画面の表示及び高速度で画像を表示する強誘電性液晶の駆動方法を提供することを目的とするものである。

【問題点を解決するための手段】及び【作用】

本発明の液晶素子の駆動方法は、FET（電界効果トランジスタ）のゲート以外の端子である第一端子と接続した画素電極と該FETに対応して画素部設けた第一基板と該画素電極に対向する対向電極

6

を設けた第二基板を有し、前記両電極と対向電極の間に電界に対して双安定状態を有する強誘電性液晶を挟持した構造の液晶素子の駆動法であって、前記FETのゲートがゲートオン状態となる旨の印加と同期させてFETのゲート以外の端子である第一端子と第二端子の間に電界を形成することによって、第一の配向状態に強誘電性液晶の配列を制御する第一位相と、前記第一端子と第二端子の間に形成した電界と逆極性の電界を第一端子と第二端子の間に形成することによって、第二の配向状態に強誘電性液晶の配列を制御する第二位相を有し、前記対向電極を共通電極にして各画素に対応しているFET端子のうち、ドレインもしくはソースに走査信号、ゲートに表示信号を印加することによって、第一の配向状態に基づく表示状態を書き込み、次に所定の表示信号を印加して第二の配向状態に基づく表示状態の書き込みを行う時分割駆動であることを特徴とするものである。

本発明の駆動法で用いる強誘電性液晶としては、加えられる電界に応じて第一の光学的安定状

態と第二の光学的安定状態とのいずれかを取る、すなわち電界に対する双安定状態を有する物質、

にこのような性質を有する液晶が用いられる。

本発明の駆動法で用いることができる双安定性を有する強誘電性液晶としては、強誘電性を有するカイラルスメクティック液晶が最も好ましく、そのうちカイラルスメクティックC相(S_mC*)又H相(S_mH*)の液晶が適している。この強誘電性液晶については、"LE JOURNAL DE PHYSIQUE LETTERS" 38 (L-89) 1975, "Ferroelectric Liquid Crystals": "Applied physics Letters" 38 (11) 1980, "Submicro Second Bistable Electrooptic Switching in Liquid Crystals": "固体物理" 18 (141) 1981「液晶」等に記載されており、本発明ではこれらに開示された強誘電性液晶を用いることができる。

より具体的には、本発明法に用いられる強誘電性液晶化合物の例としては、デシロキシベンジリデン-P'-アミノ-2-メチルブチルシンナメート(DOBANBC)、ヘキシルオキシベンジリデン

7

8

-P'-アミノ-2-クロロブチルシンナメート(HOBACPC)および4-o-(2-メチル)-ブチルレゾルシリデン-4'-オクチルアニリン(HBRAS)等が挙げられる。

これらの材料を用いて、素子を構成する場合、液晶化合物がS_mC*相又はS_mH*相となるような温度状態に保持する為、必要に応じて素子をヒーターが埋め込まれた銅ブロック等により支持することができる。

第1図は、強誘電性液晶セルの例を模式的に描いたものである。1と1'は、In₂O₃、SnO₂やITO(Indium-Tin Oxide)等の透明電極がコートされた基板(ガラス板)であり、その間に液晶分子層2がガラス面に垂直になるよう配向したS_mC*相の液晶が封入されている。太線で示した線3が液晶分子を誘導しており、この液晶分子3は、その分子に直交した方向に双極子モーメント(P₂)4を有している。基板1と1'上の電極間に一定の電圧を印加すると、液晶分子3のらせん構造がほどけ、双極子モーメント(P₂)4はす

べて電界方向に向くよう、液晶分子3の配向方向を変えることができる。液晶分子3は細長い形状を有しており、その長軸方向と短軸方向で屈折率異方性を示し、従って例えばガラス面の上下に近いにクロスニコルの位置関係に配置した偏光子を置けば、電圧印加極性によって光学特性が変わる液晶光学変調素子となることは、容易に理解される。さらに液晶セルの厚さを十分に薄くした場合(例えば1μ)には、第2図に示すように電界を印加していない状態でも液晶分子のらせん構造は、ほどけ(非らせん構造)、その双極子モーメントP又はP'は上向き(4a)又は下向(4b)のどちらかの状態をとる。このようなセルに第2図に示す如く一定の電圧以上の極性の異なる電界E又はE'を所定時間付与すると、双極子モーメントは電界E又はE'の電界ベクトルに対応して上向き4a又は、下向き4bと向きを変え、それに応じて液晶分子は第一の配向状態5かあるいは第二の配向状態5'の何れか一方に配向する。

このような強誘電性液晶を光学変調素子として

9

10

用いることの利点は2つある。第1に、応答速度が極めて速いこと、第2に液晶分子の配向が不安定状態を有することである。第2の点を例えば第2図によって説明すると、電界Eを印加すると液晶分子は第一の配向状態5に配向するが、この状態は電界を切っても安定である。又、逆向きの電界E'を印加すると、液晶分子は第二の配向状態5'に配向して、その分子の向きを変えるが、やはり電界を切ってもこの状態に留まっている。又、与える電界Eが一定の閾値を越えない限り、それぞれの配向状態にやはり維持されている。このような応答速度の速さと、不安定性が有効に実現されるには、セルとしては出来るだけ薄い方が好ましく、一般的には、 $0.5\mu\sim 20\mu$ 、特に $1\mu\sim 5\mu$ が適している。この種の強誘電性液晶を用いたマトリクス電極構造を有する液晶-電気光学装置は、例えばクラークとラガバルにより、米国特許第4387924号明細書で提案されている。

本発明は、アクティブマトリクスを構成するTFT（薄膜トランジスタ）等のFET（電界効果ト

ランジスタ）構造の素子が、ドレインとソースの印加電圧を逆にすることにより、いずれをドレインとしていずれをソースとしても使用しうるという事にもとづいている。アクティブマトリクスを構成する素子としてはFET構造の素子であればアモルファスシリコンTFT、多結晶シリコンTFT等のいずれであっても使用しうる。又FET構造以外のバイポーラトランジスタであっても同様に行う事も可能である。

N型FETは、 V_D をドレイン電圧、 V_G をゲート電圧、 V_S をソース電圧、 V_P をゲートソース間の閾値電圧とすると $V_D > V_S$ であり、 $V_G > V_S + V_P$ の時導通状態となり、 $V_G < V_S + V_P$ の時非導通状態となる。

P型FETにおいては $V_D < V_S$ とし、 $V_G < V_S + V_P$ で導通状態となり、 $V_G > V_S + V_P$ で非導通状態となる。

P型であってもN型であってもFETの端子のいずれがドレインとして作用し、いずれがソースとして作用するかは、電圧の印加の方向によって定

11

まる。すなわちN型では電圧の低い方がソースであり、P型では電圧の高い方がソースとして作用する。

強誘電性液晶においては、液晶セルに印加する、正、負の電圧に対していずれを「明」状態とし、いずれを「暗」状態とするかはセルの上下に配置するクロスニコル状態にした一対の偏光子の偏光軸と、液晶分子長軸との向きにより自由に設定できる。

本発明は液晶セルに印加される電界をアクティブマトリクスの各素子の端子間電圧を制御することによって制御し、表示を行なうものであるから、各信号の電圧レベルは以下の実施例にとらわれることなく、各信号の電位差を相対的に維持すれば、実施する事が可能である。

〔実施例〕

次に、本発明のアクティブマトリクスによる強誘電性液晶の駆動方法の具体例を第3図～第7図に基づいて説明する。

第3図はアクティブマトリクスの回路図、第

12

4図は対応画素の番地を示す説明図及び第5図は対応画素の表示例を示す説明図である。

6は走査電極群であり、7は表示電極群である。

第6図(a)は走査信号を示す図であって、位相 t_1, t_2, \dots においてそれぞれ選択された走査電極に印加される電気信号とそれ以外の走査電極（選択されない走査電極）に印加される電気信号を示している。第6図(b)は、表示信号を示す図であって位相 t_1, t_2, \dots においてそれぞれ選択された表示電極と選択されない表示電極に与えられる電気信号を示している。

第6図においては、それぞれ横軸が時間を、縦軸が電圧を表す。例えば、動画を表示するような場合には、走査電極群6は逐次、周期的に選択される。選択された走査電極 S_N に与えられる電気信号は、第6図(a)に示される如く位相（時間） t_1 では、 $-V_S$ を、位相（時間） t_2 では、 $+V_S$ である。

一方、それ以外の走査電極 S_{N+1}, S_{N+2} は第6

13

14

図(a)に示す如く位相 t_1, t_2 では $V_S = 0$ である。また、位相 t_1 において選択された表示電極 G_{N+1} に与えられる電気信号は、第8図(b)に示される如く $V_G = 0$ であり、位相 t_2 において選択された表示信号 G_N, G_{N+2} に与えられる電気信号は $+V_G$ である。また位相 t_1 において選択されない表示電極 G_N, G_{N+2} に与えられる電気信号は $-V_G$ であり、位相 t_2 において選択されない表示電極 G_{N+1} に与えられる電気信号は $V_G = 0$ である。以上に於て各々の電圧値は、以下の関係を満足する所望の値に設定される。

走査電極 $n = q$ ラインに表示電極 $m = 2$ の信号線で「明」を書込み、次に走査電極 $n = q$ ラインに表示電極 $m = 2$ で「暗」の書き込みをする場合、

$$\begin{aligned} V_{Gn} - V_p &> V_{LC} + V_G & (n=2) \\ V_C + V_{LC} &< V_{S0} & (n=q_1, m=2, 1) \\ V_C - V_{LC} &> V_{S0} & (n=q_2, m=2, 2) \\ V_{Gn} - V_p &< V_{S0} & (n=q, m=2) \end{aligned}$$

但し、各記号は下記の事項を表わす。

V_{S0} : ソース電極(走査信号)電圧
 V_{Gn} : ゲート電極(表示信号)電圧
 V_C : 対向電極(共通端子)電圧
 V_{LC} : 強誘電性液晶の閾値電圧の絶対値
 V_p : ゲート、ソース間の閾値

以上の動作を $q = 1 \sim N$ まで繰返し書き込みを行う。

この様な電気信号が与えられたときの各画素のうち、例えば第4図中の画素の書き込み動作を第7図に示す。第7図においてはそれぞれ横軸が時間を縦軸がON(明)上側、OFF(暗)下側の各表示状態を表わす。すなわち、第6図および第7図より明らかな如く、位相 t_1 において選択された走査線上にある画素 $P_{N,N+1}$ には閾値 $-V_{LC}$ を超える $-V_{LC} > -V_{S0} - V_C$ の電圧が印加される。したがって、第4図において画素 $P_{N,N+1}$ は配向を変え「暗」に転移(スイッチ)する。次に位相 t_2 において、選択された走査線上にある画素 $P_{N,N}, P_{N,N+2}$ には閾値 V_{LC} を超える電圧 $V_{LC} < V_{S0} - V_C$ が印加される。したがって画素 $P_{N,N}$ 、

$P_{N,N+2}$ は、「明」に転移(スイッチ)する。位相 t_2 以降の位相 $t_3 \sim t_6$ の動作は、前記 $t_1 \sim t_2$ と同じように、選択された走査線上にある画素にまず「暗」が書き込まれ、次に同一走査線上にある前回選択されなかった画素に「明」が書き込まれていく。以上、各動作でわかる通り、選択された走査電極線上に於て、表示電極が選択されたか否かに応じて、選択された場合には、液晶分子は第一の配向状態あるいは第二の配向状態に配向を描え、画素はON(明)あるいはOFF(暗)となり、選択されない走査線上では、すべての画素に印加される電圧は、いずれも閾値電圧を超えない。従って、第7図に示される如く選択された走査線上以外の各画素における液晶分子は配向状態を変えることなく前回走査されたときの信号状態(Q_{N-1})に対応した配向を、そのまま保持している。即ち、走査電極が選択されたときにその1ライン分の信号の書き込みが行われ、1フレームが終了して次回選択されるまでの間は、その信号状態を保持し得るわけである。従って、走査電極数

が増えても、実質的なデューティ比はかわらず、コントラストの低下は全く生じない。

第5図に於て、走査電極 $S_N, S_{N+1}, S_{N+2}, \dots$ と表示電極 $G_N, G_{N+1}, G_{N+2}, \dots$ の交点で形成する画素のうち、斜線部の画素は「暗」状態に、白地で示した画素は「明」状態に対応するものとする。今、第5図中の表示電極 G_N 上の表示に注目すると、走査電極 S_N, S_{N+2} に対応する画素では「明」状態であり、それ以外の画素は「暗」状態である。前記位相 $t_1 \sim t_6$ の各動作によって第5図の表示パターンが完成する。

本発明の強誘電性液晶の駆動方法において、走査電極と信号電極の配置は任意であり、例えば第8図(a), (b)に示すように一列に画素を配置することも可能であり、この様に配置するとシャッターアレイ等として利用することができる。

次に、以上に説明した実施例において、強誘電性液晶としてDOBANBCを駆動するのに好ましい具体的数値を示すと、例えば

$$\text{入力周波数 } f_0 = 1 \times 10^4 \sim 1 \times 10^6 \text{ Hz}$$

$$10 < |V_G| < 80V \text{ (波高値)}$$

$$0.3 < |V_S| < 10V \text{ (波高値)}$$

が挙げられる。

第9図は本発明において使用されるTFTにおけるFETの構成を示す断面図、第10図はTFTを用いた強誘電性液晶セルの断面図、第11図はTFT基板の斜視図、第12図はTFT基板の平面図、第13図は第12図のA-A'線で切断した部分断面図、第14図は第12図のB-B'線で切断した部分断面図であり、以上に示す各図はいずれも本発明の一実施態様を示すものである。

第10図は、本発明の方法で用いる液晶素子の1つの具体例を表わしている。ガラス、プラスチック等の基板20の上にゲート電極24、絶縁膜22(水素原子をドーピングした窒化シリコン膜など)を介して形成した半導体膜18(水素原子をドーピングしたアモルファスシリコン)と、この半導体膜18に接する2つ端子8と11で構成したTFTと、TFTの端子11と接続した画素電極12(ITO; Indium Tin Oxide)が形成されている。

さらに、この上に絶縁層13(ポリイミド、ポリアミド、ポリビニルアルコール、ポリパラキシリレン、 SiO_2 、 SiO_x)とアルミニウムやクロムなどからなる光遮蔽膜9が設けられている。対向基板となる基板20'の上には対向電極21(ITO; Indium Tin Oxide)と絶縁膜22が形成されている。

この基板20と20'の間には、前述の強誘電性液晶23が挟持されている。又、この基板20と20'の間隙部には強誘電性液晶23を封止するためのシール材25が設けられている。

この様なセル構造の液晶素子の両側にはクロスコ Nicol 状態の偏光子19と19'が配置され、観察者Aが入射光I。よりの反射光I'によって表示状態を見ることが出来る様に偏光子19'の背後に反射板18(乱反射性アルミニウムシート又は板)が設けられている。

又、上記の各図においてソース電極、ドレイン電極とは、ドレインからソースへ電流が流れる場合に限定した命名である。FETの働きではソースがドレインとして働く場合も可能である。

19

20

[発明の効果]

上記の構造よりなる本発明の強誘電性液晶の駆動方法を用いることにより、アクティブマトリックスに画素数の多い大画面の表示及び高速度で鮮明な画像を表示することができる。

4. 図面の簡単な説明

第1図及び第2図は、本発明の方法に用いる強誘電性液晶を模式的に表わす斜視図、第3図は本発明の方法に用いるマトリックス電極の回路図、第4図は対応画素の番地を示す説明図、第5図は対応画素の表示例を示す説明図、第6図(a)及び(b)は走査電極及び表示電極に印加する電気信号を表わす説明図、第7図は各画素への書込み動作を表わす説明図、第8図(a)及び(b)はアクティブマトリックス回路と画素配置の例を示す配線図、第9図はTFTにおけるFETの構成を示す断面図、第10図はTFTを用いた強誘電性液晶セルの断面図、第11図はTFT基板の斜視図、第12図はTFT基板の平面図、第13図はA-A'線部分断面図及び第14図はB-B'線部分断面図である。

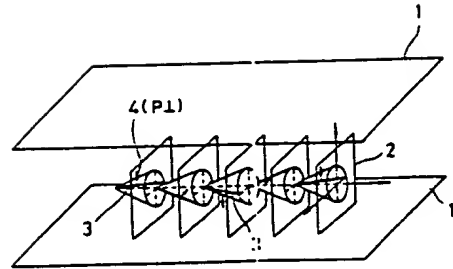
- 1, 1' : 透明電極がコートされた基板
- 2 : 液晶分子層
- 3 : 液晶分子
- 4 : 双極子モーメント(P_A)
- 4a : 上向き双極子モーメント
- 4b : 下向き双極子モーメント
- 5 : 第一の配向状態
- 5' : 第二の配向状態
- 6 (S_N, S_{N+1}, S_{N+2}) : 走査電極群 (走査電極)
- 7 (G_N, G_{N+1}, G_{N+2}) : 信号電極群 (信号電極)
- 8 : ソース電極 (ドレイン電極)
- 9 : 光遮蔽膜 10 : n^+ 層
- 11 : ドレイン電極 (ソース電極)
- 12 : 画素電極 13 : 絶縁層
- 14 : 基板 15 : 半導体直下の光遮蔽膜
- 16 : 半導体 17 : ゲート配線部の透明電極
- 18 : 反射板 18, 18' : 偏光子
- 20, 20' : ガラス、プラスチック等の透明基板
- 21 : 対向電極 22 : 絶縁膜

21

22

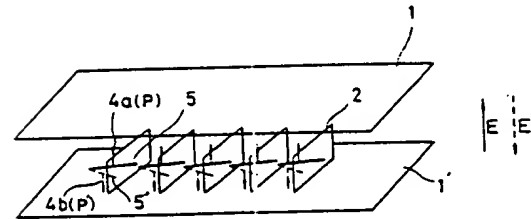
- 23: 絶縁電性層
 24: ゲート電極
 25: シール材 28: 陽極半導体
 27: ゲート配線 28: パネル基板
 29: 光遮断効果を有するゲート部
 1 ~ M: 走査電極
 1 ~ N: 表示電極
 L: 共通電極
 LC: 液晶
 FET: 電界効果トランジスタ

第1図



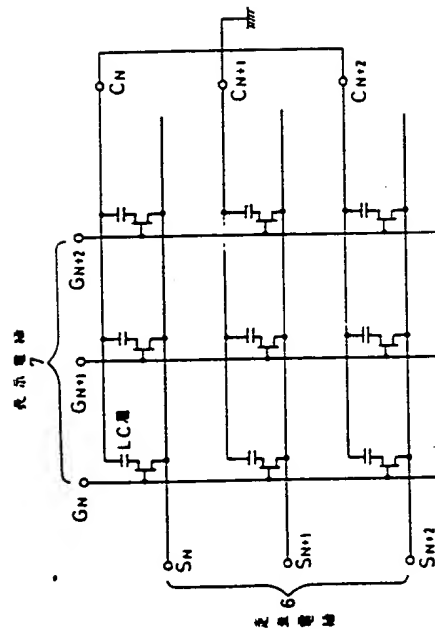
出願人 キヤノン株式会社
 代理人 豊田 善雄

第2図



23

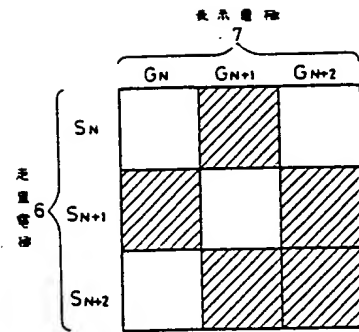
第3図



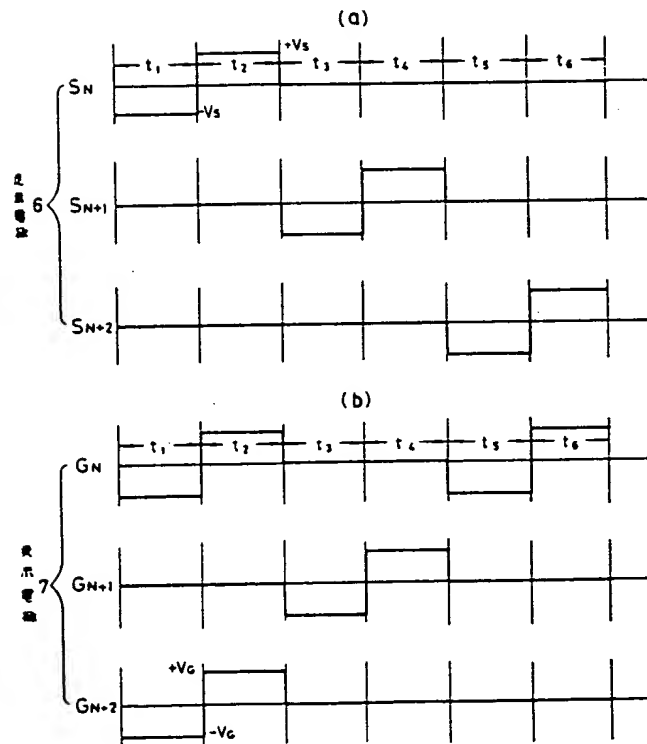
第4図

$P_{N,N}$	$P_{N,N+1}$	$P_{N,N+2}$
$P_{N+1,N}$	$P_{N+1,N+1}$	$P_{N+1,N+2}$
$P_{N+2,N}$	$P_{N+2,N+1}$	$P_{N+2,N+2}$

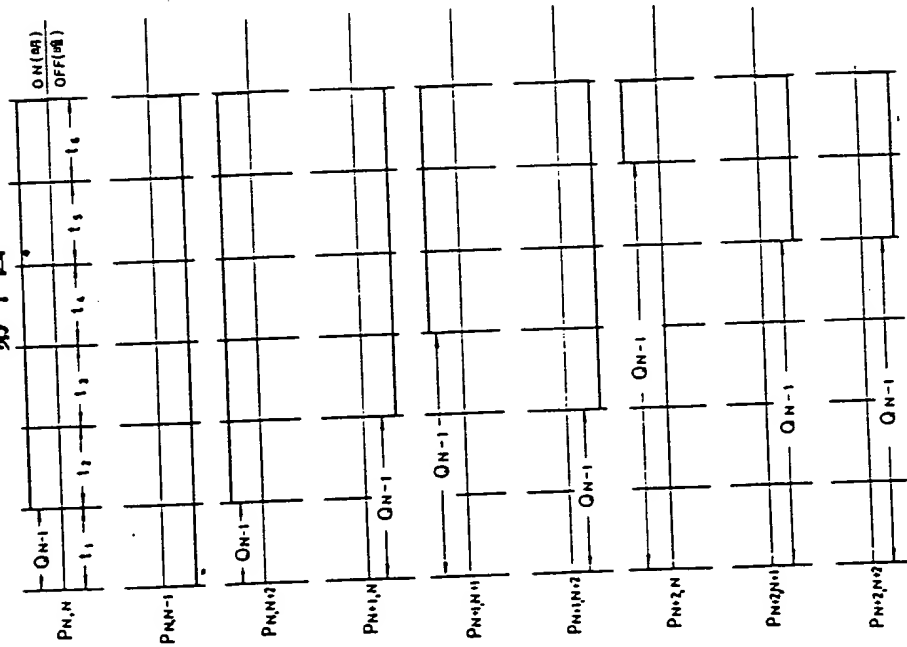
第 5 図



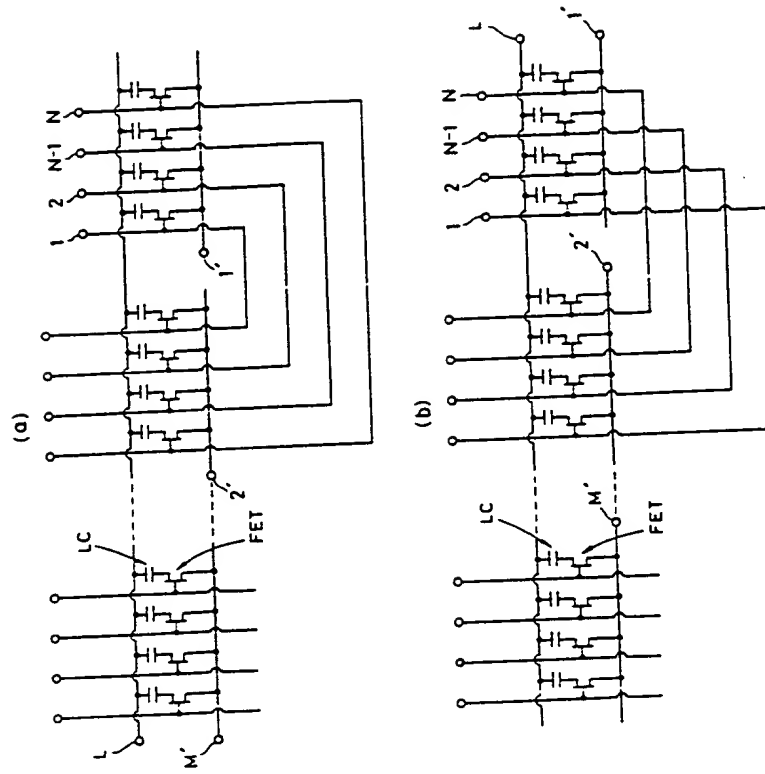
第 6 図



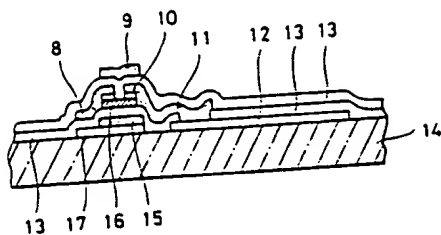
第 7 図



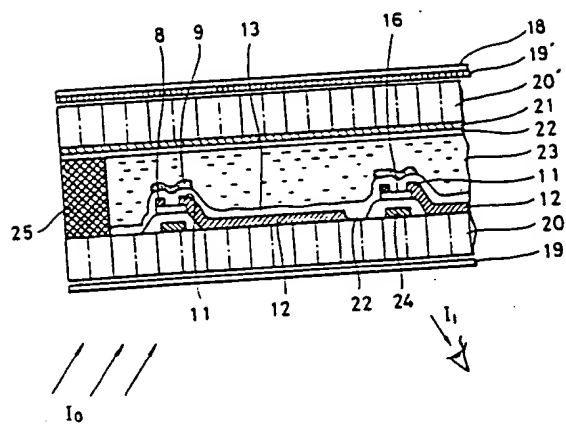
第 8 図



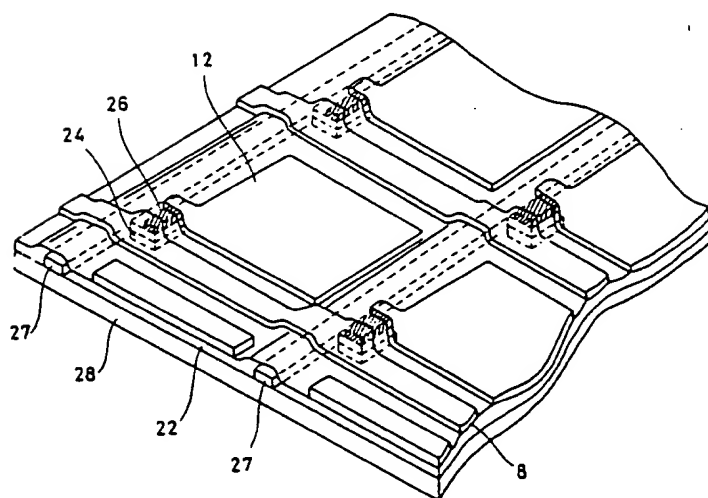
第9図



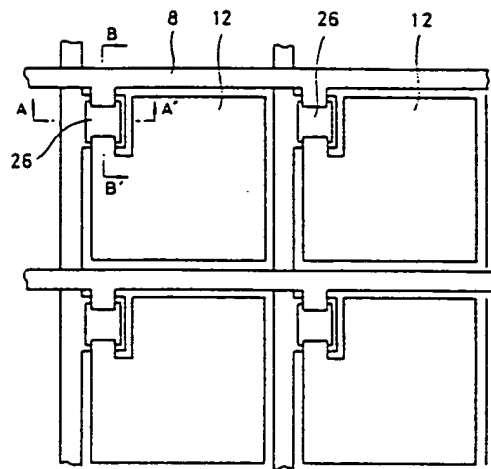
第10図



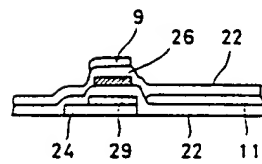
第11図



第12図



第13図



第14図

